

(1) Japanese Patent Application Laid-Open No. 2000-323590

The following is English translation of an extract from the above-identified documents relevant to the present application.

On the semiconductor device of the present invention, plural insulating gate field effect transistor, which comprises a gate insulating film which is formed on a channel forming region of a semiconductor substrate, a gate electrode which is formed on said gate insulating film, and a source region and a drain region which are formed on said semiconductor substrate separated from said channel forming region, are formed. The semiconductor device is featured in comprising a first insulating film which is formed on said gate electrode, a second insulating film which is formed on said first insulating film, a first insulating film side-wall which coats the side face of said first and second insulating films, an electric conductor which is formed on at least one of said adjacent gate electrodes through said first insulating film side-wall and is connected to said source or drain region, and whose top-end is positioned lower than the top-end of said second insulating film, a second insulating film side-wall which is formed on the surface of said first insulating film side-wall which is positioned higher than said electric conductor layer between said gate electrodes with said conductor layers, an interlayer insulating film which is formed on said second insulating film and between said gate electrodes on which said electric conductor layer is not formed, a hole which is formed on said interlayer insulating film and reaches said electric conductor layer, and a wiring which is formed in said hole and on said interlayer insulating film and is connected to said electric conductor layer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323590

(P2000-323590A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl. ⁷	識別記号	F I	フィート (参考)	
H 0 1 L	21/8247	H 0 1 L	29/78	3 7 1
	29/788		21/90	C
	29/792		27/10	4 3 4
	21/768			5 F 0 3 3
	27/115			5 F 0 8 3

審査請求 未請求 請求項の数54 O L (全 16 頁)

(21) 出願番号 特願平11-132943

(22) 出願日 平成11年5月13日 (1999. 5. 13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 青笠 浩

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

最終頁に続く

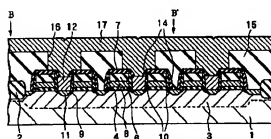
(54) 【発明の名称】 半導体装置、不揮発性半導体記憶装置および製造方法

(57) 【要約】

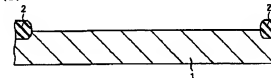
【課題】 自己整合コンタクトのコンタクト不良、あるいは短絡が防止された半導体装置、不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】 複数のゲート電極8上に形成された第1絶縁膜6および第2絶縁膜7と、それらの側面を被覆する第1絶縁膜側壁10と、隣接するゲート電極間の少なくとも一つに第1絶縁膜側壁10を介して形成され、上端が第2絶縁膜7の上端よりも低い導電体層12と、導電体層12を有するゲート電極間において、導電体層12よりも高い位置にある第1絶縁膜側壁10の表面に形成された第2絶縁膜側壁14と、第2絶縁膜7上および導電体層12が形成されていないゲート電極間に形成された層間絶縁膜15と、層間絶縁膜15に形成された孔16と、孔16内および層間絶縁膜15上に形成され、導電体層12に接続する配線17とを有する半導体装置、不揮発性半導体記憶装置およびその製造方法。

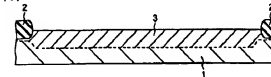
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】半導体基板のチャネル形成領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体基板に前記チャネル形成領域を隔てて形成されたソース領域およびドレイン領域とを有する絶縁ゲート電界効果トランジスタが複数形成された半導体装置であって、

前記ゲート電極上に形成された第1絶縁膜と、前記第1絶縁膜上に形成された第2絶縁膜と、

前記ゲート電極、前記第1絶縁膜および前記第2絶縁膜の側面を被覆する第1絶縁膜側壁と、

隣接する前記ゲート電極間の少なくとも一つに前記第1絶縁膜側壁を介して形成され、前記ソースまたはドレイン領域に接続し、上端が前記第2絶縁膜の上端よりも低い位置にある導電体層と、

前記導電体層を有する前記ゲート電極間において、前記導電体層よりも高い位置にある前記第1絶縁膜側壁の表面に形成された第2絶縁膜側壁と、

前記第2絶縁膜上および前記導電体層が形成されていない前記ゲート電極間に形成された層間絶縁膜と、

前記層間絶縁膜に形成され、前記導電体層に達する孔と、

前記孔内および前記層間絶縁膜上に形成され、前記導電体層に接続する配線とを有する半導体装置。

【請求項2】前記導電体層の上端は、前記ゲート電極の上端よりも高い位置にある請求項1記載の半導体装置。

【請求項3】前記第1絶縁膜は前記第2絶縁膜に比較して絶縁性が高い材料からなる請求項1記載の半導体装置。

【請求項4】前記第1絶縁膜側壁は前記第2絶縁膜側壁に比較して絶縁性が高い材料からなる請求項1記載の半導体装置。

【請求項5】前記層間絶縁膜は、前記第2絶縁膜および前記第2絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な材料からなる請求項1記載の半導体装置。

【請求項6】前記第1絶縁膜側壁の下部の前記半導体基板に、前記ソースまたはドレイン領域よりも不純物濃度が低く、前記ソースまたはドレイン領域に接続するLD D (lightly doped drain) 領域が形成されている請求項1記載の半導体装置。

【請求項7】前記第1絶縁膜は酸化シリコンを含有する請求項3記載の半導体装置。

【請求項8】前記第1絶縁膜側壁は酸化シリコンを含有する請求項4記載の半導体装置。

【請求項9】前記層間絶縁膜は酸化シリコンを含有する請求項5記載の半導体装置。

【請求項10】前記第2絶縁膜は窒化シリコンを含有する請求項5記載の半導体装置。

【請求項11】前記第2絶縁膜側壁は窒化シリコンを

有する請求項5記載の半導体装置。

【請求項12】半導体基板の上にゲート絶縁膜、ゲート電極用導電層、第1絶縁膜および第2絶縁膜を順に成膜する工程と、

前記第2絶縁膜、前記第1絶縁膜および前記ゲート電極用導電層をエッチングし、上層に前記第1絶縁膜および前記第2絶縁膜を有する複数のゲート電極を形成する工程と、

前記ゲート電極、前記第1絶縁膜および前記第2絶縁膜の側面に第1絶縁膜側壁を形成する工程と、

前記第1絶縁膜側壁をマスクとして前記半導体基板に不純物を導入し、自己整合的にソース領域およびドレイン領域を形成する工程と、

隣接する前記ゲート電極間の少なくとも一つに、前記ソースまたはドレイン領域に接続し、上端が前記第2絶縁膜の上端よりも低い位置にある導電体層を、前記第1絶縁膜側壁を介して形成する工程と、

前記導電体層を有する前記ゲート電極間において、前記導電体層よりも高い位置にある前記第1絶縁膜側壁の表面に第2絶縁膜側壁を形成する工程と、

前記第2絶縁膜上および前記導電体層が形成されていない前記ゲート電極間に層間絶縁膜を形成する工程と、

前記導電体層に達する孔を、前記層間絶縁膜に形成する工程と、

前記孔内および前記層間絶縁膜上に、前記導電体層に接続する配線を形成する工程とを有する半導体装置の製造方法。

【請求項13】前記導電体層を形成する工程は、隣接する前記ゲート電極間および前記第2絶縁膜上に導電体を堆積させる工程と、

前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程と、

前記導電体層形成領域以外の前記導電体をエッチングして除去する工程とを有する請求項12記載の半導体装置の製造方法。

【請求項14】前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程は、前記導電体を上端が前記ゲート電極の上端よりも高い位置となる範囲でエッチングする工程である請求項13記載の半導体装置の製造方法。

【請求項15】前記第2絶縁膜側壁を形成する工程は、前記第2絶縁膜上および前記第1絶縁膜側壁の表面に絶縁体を堆積させる工程と、

前記第2絶縁膜上の前記絶縁体を除去する工程とを有する請求項12記載の半導体装置の製造方法。

【請求項16】前記第1絶縁膜を形成する工程は、前記第2絶縁膜に比較して絶縁性が高い膜を形成する工程である請求項12記載の半導体装置の製造方法。

【請求項17】前記第1絶縁膜側壁を形成する工程は、前記第2絶縁膜側壁に比較して絶縁性が高い膜を形成す

3

る工程である請求項 12 記載の半導体装置の製造方法。

【請求項 18】前記層間絶縁膜を形成する工程は、前記第 2 絶縁膜および前記第 2 絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な膜を形成する工程である請求項 12 記載の半導体装置の製造方法。

【請求項 19】前記ゲート電極形成後、前記第 1 絶縁膜側壁を形成する前に、前記ゲート電極をマスクとして前記半導体基板に、前記ソースまたはドレイン領域よりも低濃度の不純物を導入し、前記ソースまたはドレイン領域に接続する LDD (lightly doped drain) 領域を形成する工程を有する請求項 12 記載の半導体装置の製造方法。

【請求項 20】前記第 1 絶縁膜は酸化シリコンを含有する請求項 16 記載の半導体装置の製造方法。

【請求項 21】前記第 1 絶縁膜側壁は酸化シリコンを含有する請求項 17 記載の半導体装置の製造方法。

【請求項 22】前記層間絶縁膜は酸化シリコンを含有する請求項 18 記載の半導体装置の製造方法。

【請求項 23】前記第 2 絶縁膜は窒化シリコンを含有する請求項 18 記載の半導体装置の製造方法。

【請求項 24】前記第 2 絶縁膜側壁は窒化シリコンを含有する請求項 18 記載の半導体装置の製造方法。

【請求項 25】半導体基板のチャネル形成領域上に形成された電荷蓄積手段と、前記電荷蓄積手段上に形成された制御電極と、前記半導体基板に前記チャネル形成領域を隔てて形成されたソース領域およびドレイン領域とを有し、前記制御電極に電圧を印加して前記電荷蓄積手段に対する電荷の注入または電荷の引き抜きを行い、情報を記憶する記憶素子が複数形成された不揮発性半導体記憶装置であって、

前記制御電極上に形成された第 1 絶縁膜と、
前記第 1 絶縁膜上に形成された第 2 絶縁膜と、
前記制御電極、前記第 1 絶縁膜および前記第 2 絶縁膜の側面を被覆する第 1 絶縁膜側壁と、

隣接する前記制御電極間の少なくとも一つに前記第 1 絶縁膜側壁を介して形成され、上端が前記第 2 絶縁膜の上端より低い位置にある導電体層と、

前記導電体層を有する前記制御電極間において、前記導電体層よりも高い位置にある前記第 1 絶縁膜側壁の表面に形成された第 2 絶縁膜側壁と、

前記第 2 絶縁膜上および前記導電体層が形成されていない前記制御電極間に形成された層間絶縁膜と、

前記層間絶縁膜に形成され、前記導電体層に達する孔と、

前記孔内および前記層間絶縁膜上に形成され、前記導電体層に接続する配線とを有する不揮発性半導体記憶装置。

【請求項 26】前記導電体層の上端は、前記制御電極の上端よりも高い位置にある請求項 25 記載の不揮発性半導体記憶装置。

4

【請求項 27】前記第 1 絶縁膜は前記第 2 絶縁膜に比較して絶縁性が高い材料からなる請求項 25 記載の不揮発性半導体記憶装置。

【請求項 28】前記第 1 絶縁膜側壁は前記第 2 絶縁膜側壁に比較して絶縁性が高い材料からなる請求項 25 記載の不揮発性半導体記憶装置。

【請求項 29】前記層間絶縁膜は、前記第 2 絶縁膜および前記第 2 絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な材料からなる請求項 25 記載の不揮発性半導体記憶装置。

【請求項 30】前記電荷蓄積手段は、前記チャネル形成領域上に形成された酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された酸化シリコンを含有するトップ絶縁膜とからなる積層膜内に、離散化して形成された電荷トラップである請求項 25 記載の不揮発性半導体記憶装置。

【請求項 31】前記電荷蓄積手段は、前記チャネル形成領域上に形成され、酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたシリコン窒化膜とからなる積層膜内に、離散化して形成された電荷トラップである請求項 25 記載の不揮発性半導体記憶装置。

【請求項 32】前記電荷蓄積手段は、前記チャネル形成領域上に形成されたゲート酸化膜と、前記ゲート酸化膜上に形成され、電気的に浮遊状態である半導体層と、前記半導体層と前記制御電極との間に形成された中間絶縁膜とからなる積層膜内に、離散化して形成された電荷トラップである請求項 25 記載の不揮発性半導体記憶装置。

【請求項 33】前記中間絶縁膜は酸化シリコンを含有する請求項 32 記載の不揮発性半導体記憶装置。

【請求項 34】前記中間絶縁膜は、酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された酸化シリコンを含有するトップ絶縁膜とからなる積層膜である請求項 32 記載の不揮発性半導体記憶装置。

【請求項 35】前記第 1 絶縁膜は酸化シリコンを含有する請求項 27 記載の不揮発性半導体記憶装置。

【請求項 36】前記第 1 絶縁膜側壁は酸化シリコンを含有する請求項 28 記載の不揮発性半導体記憶装置。

【請求項 37】前記層間絶縁膜は酸化シリコンを含有する請求項 29 記載の不揮発性半導体記憶装置。

【請求項 38】前記第 2 絶縁膜は窒化シリコンを含有する請求項 29 記載の不揮発性半導体記憶装置。

【請求項 39】前記第 2 絶縁膜側壁は窒化シリコンを含有する請求項 29 記載の不揮発性半導体記憶装置。

【請求項 40】半導体基板上に、電荷蓄積手段を形成する工程と、

前記電荷蓄積手段上に、前記電荷蓄積手段に対する電荷

の注入または電荷の引き抜きを制御する複数の制御電極を形成する工程と、

前記制御電極上に第1絶縁膜を形成する工程と、

前記第1絶縁膜上に第2絶縁膜を形成する工程と、

前記制御電極、前記第1絶縁膜および前記第2絶縁膜の側面に第1絶縁膜側壁を形成する工程と、

前記第1絶縁膜側壁をマスクとして前記半導体基板に不純物を導入し、自己整合的にソース領域およびドレイン領域を形成する工程と、

隣接する前記制御電極間の少なくとも一つに、前記ソースまたはドレイン領域に接続し、上端が前記第2絶縁膜の上端よりも低い位置にある導電体を、前記第1絶縁膜側壁を介して形成する工程と、

前記導電体を有する前記制御電極間において、前記導電体層よりも高い位置にある前記第1絶縁膜側壁の表面に第2絶縁膜側壁を形成する工程と、

前記第2絶縁膜上および前記導電体層が形成されていない前記制御電極間に層間絶縁膜を形成する工程と、

前記導電体層に達する孔を、前記層間絶縁膜に形成する工程と、

前記孔内および前記層間絶縁膜上に、前記導電体層に接続する配線を形成する工程とを有する不揮発性半導体記憶装置の製造方法。

【請求項41】前記導電体層を形成する工程は、隣接する前記制御電極間および前記第2絶縁膜上に導電体を堆積させる工程と、

前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程と、

前記導電体層形成領域以外の前記導電体をエッチングして除去する工程とを有する請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項42】前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程は、前記導電体を上端が前記制御電極の上端よりも高い位置となる範囲でエッチングする工程である請求項41記載の不揮発性半導体記憶装置の製造方法。

【請求項43】前記第2絶縁膜側壁を形成する工程は、前記第2絶縁膜上および前記第1絶縁膜側壁の表面に絶縁体を堆積させる工程と、

前記第2絶縁膜上の前記絶縁体を除去する工程とを有する請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項44】前記第1絶縁膜を形成する工程は、前記第2絶縁膜に比較して絶縁性が高い膜を形成する工程である請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項45】前記第1絶縁膜側壁を形成する工程は、前記第2絶縁膜側壁に比較して絶縁性が高い膜を形成する工程である請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項46】前記層間絶縁膜を形成する工程は、前記第2絶縁膜および前記第2絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な膜を形成する工程である請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項47】前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に酸化シリコンを含有するトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜上に酸化シリコンを含有するトップ絶縁膜を形成する工程とを有する請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項48】前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に酸化シリコンを含有するトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜上にシリコン窒化膜を形成する工程とを有する請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項49】前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に形成されたゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に半導体層を形成する工程と、前記半導体層と前記制御電極との間に中間絶縁膜を形成する工程とを有する請求項40記載の不揮発性半導体記憶装置の製造方法。

【請求項50】前記第1絶縁膜は酸化シリコンを含有する請求項44記載の不揮発性半導体記憶装置の製造方法。

【請求項51】前記第1絶縁膜側壁は酸化シリコンを含有する請求項45記載の不揮発性半導体記憶装置の製造方法。

【請求項52】前記層間絶縁膜は酸化シリコンを含有する請求項46記載の不揮発性半導体記憶装置の製造方法。

【請求項53】前記第2絶縁膜は窒化シリコンを含有する請求項46記載の不揮発性半導体記憶装置の製造方法。

【請求項54】前記第2絶縁膜側壁は窒化シリコンを含有する請求項46記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、不揮発性半導体記憶装置および製造方法に関し、特に、自己整合コンタクトに埋め込まれた配線層とゲート電極との短絡が防止された半導体装置、不揮発性半導体記憶装置および製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の微細化に伴い、半導

7

体層と配線層とを接続するコンタクトホール形成技術として、合わせ余裕が不要である自己整合コンタクト形成技術が採用されることが多くなっている。従来の自己整合コンタクトの形成方法について、図9および図10を参照して以下に説明する。まず、図9(a)に示すように、シリコン(半導体)基板101に例えばLOCOS法により、酸化シリコンからなる素子分離絶縁膜102を形成する。

【0003】次に、図9(b)に示すように、素子分離絶縁膜102によって分離された活性領域に、ウェル103を形成するため、あるいはトランジスタの閾値調整のためのイオン注入を行う。次に、図9(c)に示すように、素子分離絶縁膜102で分離された上記の活性領域に、例えば熱酸化法により、酸化シリコンからなるゲート絶縁膜104を膜厚2~10nm程度で形成する。

【0004】次に、図9(d)に示すように、例えば化学気相成長(CVD; chemical vapor deposition)法により、ゲート層105となるポリシリコン層を膜厚100nm程度で形成する。ゲート層105の上層に、自己整合コンタクト形成時のエッチングストッパー層106として例えば膜厚100nm程度のシリコン窒化膜を、CVD法などにより形成する。

【0005】続いて、フォトリソグラフィ工程によりエッチングストッパー層106の上層に、ゲート電極パターンを有するレジスト(不図示)を形成する。レジストをマスクとしてエッチングストッパー層106およびゲート層105に例えば反応性イオンエッチング(RIE)を行い、ゲート電極107を形成する。その後、レジストを除去する。さらに、ゲート電極107をマスクとしてイオン注入を行い、LDD(lighty doped drain)領域108を形成する。このイオン注入工程において、LDD領域108を形成しない箇所、例えばLOCOS上には適宜レジストを形成しておく。

【0006】次に、図10(a)に示すように、ゲート電極107の側面に例えばシリコン窒化膜からなるサイドウォール109を形成する。サイドウォール109を形成するには、まず、エッチングストッパー層106の上部と、エッチングストッパー層106およびゲート電極107の側面を被覆する窒化膜を、例えばCVD法により膜厚150nm程度堆積させる。その後、エッチバックによりエッチングストッパー層106およびゲート電極107の側面の窒化膜のみ残して窒化膜を除去する。さらに、サイドウォール109をマスクとしてイオン注入を行い、LDD領域108よりも高濃度の不純物を含有するソース/ドレイン領域110を自己整合的に形成する。

【0007】次に、図10(b)に示すように、層間絶縁膜111として例えばシリコン酸化膜をCVD法によ

8

り膜厚500nm程度堆積させる。続いて、図10(c)に示すように、フォトリソグラフィ工程によりコンタクトホール形成領域に開口を有するレジスト(不図示)を形成してから、レジストをマスクとして層間絶縁膜111にエッチングを行う。このエッチングは、窒化膜に対して酸化膜のエッチング選択比が10~100程度となる条件で行う。これにより、ソース/ドレイン領域110の上部およびその周辺部の酸化膜111のみ除去され、窒化膜からなるエッチングストッパー層106およびサイドウォール109が残る。

【0008】以上の工程により、例えばソース/ドレイン領域110に接続するコンタクトホール112が自己整合的に形成される。コンタクトホール112内および層間絶縁膜111上に配線113を形成すると、図10(d)に示すように、所望の半導体装置が得られる。

【0009】

【発明が解決しようとする課題】上記の従来の自己整合コンタクトの形成方法によれば、酸化膜からなる層間絶縁膜111にエッチングを行う際のエッチングストッパー層106として、通常、窒化膜が用いられる。現在、エッチングストッパー層106の窒化膜はCVD法、特にプラズマCVD法により形成されることが多い。プラズマCVD法により窒化膜を成膜する場合、成膜温度が高ければ水素含有量は減少するが、一般には比較的低温(300~400℃)で成膜が行われるため、窒化膜中の水素含有量は10%以上となる。窒化膜中に多量に含有される水素が遊離すると電荷トラップを形成し、絶縁特性を不安定にする要因となる。

【0010】上記のような電荷トラップが存在することにより、窒化膜の絶縁性は酸化膜と比較して小さくなっている。したがって、素子が微細化されるにつれて、コンタクトホール112内に埋め込まれた配線113と、ゲート電極107との間の絶縁性を維持することが困難となる。特に、不揮発性メモリにおいてはデータの書き込み、あるいは消去時に比較的高い電圧が印加されるため、窒化膜中の電荷トラップに起因した絶縁特性の低下がより顕著となり、記憶保持特性に影響を及ぼす。

【0011】また、素子の微細化に伴い、コンタクトホールのアスペクト比は増大する傾向にある。酸化膜からなる層間絶縁膜にコンタクトホールを形成するエッチングにおいて、十分にオーバーエッチングを行わないと、コンタクトホール底部に酸化膜が残留する。これにより、コンタクト抵抗が増大したり、コンタクト不良が生じたりする可能性がある。特に、アスペクト比の高いコンタクトホールの場合、マイクロリーディング問題も顕著となるため、コンタクトホール底部には酸化膜が残留しやすくなる。

【0012】アスペクト比の高いコンタクトホールにおいて、コンタクトを十分に確保するため長時間のオーバ

ーエッチングを行うと、ゲート層 105 と配線 113 とを絶縁する窒化膜サイドウォール 109 の一部もエッチングされ、窒化膜サイドウォール 109 が薄くなる。これにより、窒化膜からなるエッチングストッパー層 109 あるいはサイドウォール 109 の絶縁性は、より低下することになる。

【0013】本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、微細化された素子においても自己整合コンタクトのコンタクト不良が防止され、また、自己整合コンタクトに埋め込まれた配線とゲート電極との短絡が防止された半導体装置、不揮発性半導体記憶装置および製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、半導体基板のチャネル形成領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体基板に前記チャネル形成領域を隔てて形成されたソース領域およびドレイン領域とを有する絶縁ゲート電界効果トランジスタが複数形成された半導体装置であって、前記ゲート電極上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成された第 2 絶縁膜と、前記ゲート電極、前記第 1 絶縁膜および前記第 2 絶縁膜の側面を被覆する第 1 絶縁膜側壁と、隣接する前記ゲート電極間の少なくとも一つに前記第 1 絶縁膜側壁を介して形成され、前記ソースまたはドレイン領域に接続し、上端が前記第 2 絶縁膜の上端よりも低い位置にある導電体層と、前記導電体層を有する前記ゲート電極間において、前記導電体層よりも高い位置にある前記第 1 絶縁膜側壁の表面に形成された第 2 絶縁膜側壁と、前記第 2 絶縁膜および前記導電体層が形成されていない前記ゲート電極間に形成された層間絶縁膜と、前記層間絶縁膜に形成され、前記導電体層に達する孔と、前記孔内および前記層間絶縁膜上に形成され、前記導電体層に接続する配線とを有することを特徴とする。

【0015】本発明の半導体装置は、好適には、前記導電体層の上端は、前記ゲート電極の上端よりも高い位置にあることを特徴とする。これにより、導電体層とゲート電極との間を絶縁する第 1 および第 2 絶縁膜側壁が、コンタクトホール形成時に導電体層により保護されることとなり、絶縁膜側壁が過剰にエッチングされるのが防止される。したがって、コンタクトホール内に埋め込まれた配線とゲート電極との短絡が防止される。

【0016】本発明の半導体装置は、好適には、前記第 1 絶縁膜は前記第 2 絶縁膜に比較して絶縁性が高い材料からなることを特徴とする。本発明の半導体装置は、好適には、前記第 1 絶縁膜側壁は前記第 2 絶縁膜側壁に比較して絶縁性が高い材料からなることを特徴とする。また、本発明の半導体装置は、好適には、前記層間絶縁膜

は、前記第 2 絶縁膜および前記第 2 絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な材料からなることを特徴とする。

【0017】これにより、第 2 絶縁膜および第 2 絶縁膜側壁は、層間絶縁膜に自己整合的にコンタクトホールを形成する際のエッチングストッパー層として機能し、絶縁膜の過剰なエッチングが防止される。また、第 2 絶縁膜側壁とゲート電極との間に絶縁性の高い第 1 絶縁膜側壁が形成されていることにより、コンタクトホール内の配線とゲート電極との短絡が防止される。

【0018】本発明の半導体装置は、好適には、前記第 1 絶縁膜側壁の下部の前記半導体基板に、前記ソースまたはドレイン領域よりも不純物濃度が低く、前記ソースまたはドレイン領域に接続する LDD (lightly doped drain) 領域が形成されていることを特徴とする。これにより、短チャネル効果が低減され、空乏層の境界が高くなるのが防止される。したがって、ホットエレクトロンの発生が抑制される。

【0019】本発明の半導体装置は、好適には、前記第 1 絶縁膜は酸化シリコンを含有することを特徴とする。本発明の半導体装置は、好適には、前記第 1 絶縁膜側壁は酸化シリコンを含有することを特徴とする。本発明の半導体装置は、好適には、前記第 2 絶縁膜は窒化シリコンを含有することを特徴とする。本発明の半導体装置は、好適には、前記第 2 絶縁膜側壁は窒化シリコンを含有することを特徴とする。

【0020】さらに、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜、ゲート電極用導電層、第 1 絶縁膜および第 2 絶縁膜を順に成膜する工程と、前記第 2 絶縁膜、前記第 1 絶縁膜および前記ゲート電極用導電層をエッチングし、上層に前記第 1 絶縁膜および前記第 2 絶縁膜を有する複数のゲート電極を形成する工程と、前記ゲート電極、前記第 1 絶縁膜および前記第 2 絶縁膜の側面に第 1 絶縁膜側壁を形成する工程と、前記第 1 絶縁膜側壁をマスクとして前記半導体基板に不純物を導入し、自己整合的にソース領域およびドレイン領域を形成する工程と、隣接する前記ゲート電極間の少なくとも一つに、前記ソースまたはドレイン領域に接続し、上端が前記第 2 絶縁膜の上端よりも低い位置にある導電体層を、前記第 1 絶縁膜側壁を介して形成する工程と、前記導電体層を有する前記ゲート電極間において、前記導電体層よりも高い位置にある前記第 1 絶縁膜側壁の表面に第 2 絶縁膜側壁を形成する工程と、前記第 2 絶縁膜および前記導電体層が形成されていない前記ゲート電極間に層間絶縁膜を形成する工程と、前記導電体層に達する孔を、前記層間絶縁膜に形成する工程と、前記孔内および前記層間絶縁膜上に、前記導電体層に接続する配線を形成する工程とを有する

ことを特徴とする。

【0021】これにより、自己整合コンタクトホールを形成するエッチング工程において、ゲート電極および第1絶縁膜側壁が、第2絶縁膜、第2絶縁膜側壁および導電体層により保護される。したがって、コンタクトホール内に埋め込まれる配線とゲート電極との絶縁性が十分に確保される。また、本発明の半導体装置の製造方法によれば、コンタクトホールが自己整合的に形成される。したがって、フォトリソグラフィ工程における合わせずれを考慮して、設計寸法に合わせ余裕を加える必要がない。これにより、半導体装置を微細化することが可能となる。

【0022】本発明の半導体装置の製造方法は、好適には、前記導電体層を形成する工程は、隣接する前記ゲート電極間および前記第2絶縁膜上に導電体を堆積させる工程と、前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程と、前記導電体層形成領域以外の前記導電体をエッチングして除去する工程とを有することを特徴とする。

【0023】これにより、十分な段差被覆性で導電体層を形成することが可能となる。第1絶縁膜側壁を形成した状態で導電体層を堆積させることにより、狭いゲート電極間にも導電体層が容易に埋め込まれる。したがって、自己整合コンタクトのコンタクト不良が防止され、コンタクト抵抗が低減される。

【0024】本発明の半導体装置の製造方法は、さらに好適には、前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程は、前記導電体を上端が前記ゲート電極の上端よりも高い位置となる範囲でエッチングする工程であることを特徴とする。

【0025】これにより、層間絶縁膜にコンタクトホールを形成するためのエッチング工程において、ゲート電極側面が導電体層により保護されるため、ゲート電極と導電体層との間の絶縁膜側壁がエッチングされることはなく、したがって、ゲート電極とコンタクトホール内の導電体層との絶縁性が十分に維持され、短絡が防止される。

【0026】本発明の半導体装置の製造方法は、好適には、前記第2絶縁膜側壁を形成する工程は、前記第2絶縁膜上および前記第1絶縁膜側壁の表面に絶縁体を堆積させる工程と、前記第2絶縁膜上の前記絶縁体を除去する工程とを有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第1絶縁膜を形成する工程は、前記第2絶縁膜に比較して絶縁性が高い膜を形成する工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記層間絶縁膜を形成する工程は、前記第2絶縁膜および前記第2絶縁膜

側壁に対するエッチング選択比を十分に大きくすることが可能な膜を形成する工程であることを特徴とする。

【0027】これにより、第2絶縁膜および第2絶縁膜側壁を、層間絶縁膜にコンタクトホールを形成する際のエッチングストッパー層として機能させることができる。したがって、自己整合的にコンタクトホールを形成し、微細化された半導体装置を形成することが可能となる。また、第1絶縁膜および第1絶縁膜側壁により十分な絶縁耐圧を確保することができるため、ゲート電極と配線との短絡が防止された半導体装置を形成することが可能となる。

【0028】本発明の半導体装置の製造方法は、好適には、前記ゲート電極形成後、前記第1絶縁膜側壁を形成する前に、前記ゲート電極をマスクとして前記半導体基板に、前記ソースまたはドレイン領域よりも低濃度の不純物を導入し、前記ソースまたはドレイン領域に接続するLDD領域を形成する工程を有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第1絶縁膜は酸化シリコンを含有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第1絶縁膜側壁は酸化シリコンを含有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記層間絶縁膜は酸化シリコンを含有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第2絶縁膜は窒化シリコンを含有することを特徴とする。本発明の半導体装置の製造方法は、好適には、前記第2絶縁膜側壁は窒化シリコンを含有することを特徴とする。

【0029】上記の目的を達成するため、本発明の不揮発性半導体記憶装置は、半導体基板のチャネル形成領域上に形成された電荷蓄積手段と、前記電荷蓄積手段上に形成された制御電極と、前記半導体基板に前記チャネル形成領域を隔てて形成されたソース領域およびドレイン領域とを有し、前記制御電極に電圧を印加して前記電荷蓄積手段に対する電荷の注入または電荷の引き抜きを行い、情報を記憶する記憶素子が複数形成された不揮発性半導体記憶装置であって、前記制御電極上に形成された第1絶縁膜と、前記第1絶縁膜上に形成された第2絶縁膜と、前記制御電極、前記第1絶縁膜および前記第2絶縁膜の側面を被覆する第1絶縁膜側壁と、隣接する前記制御電極間の少なくとも一つに前記第1絶縁膜側壁を介して形成され、上端が前記第2絶縁膜の上端よりも低い位置にある導電体層と、前記導電体層を有する前記制御電極間において、前記導電体層よりも高い位置にある前記第1絶縁膜側壁の表面に形成された第2絶縁膜側壁と、前記第2絶縁膜上および前記導電体層が形成されていない前記制御電極間に形成された層間絶縁膜と、前記層間絶縁膜に形成され、前記導電体層に連する孔と、前記孔内および前記層間絶縁膜上に形成され、前記導電体層に接続する配線とを有することを特徴とする。これに

13

より、不揮発性半導体記憶装置において、制御電極とコンタクトホール内の配線との短絡が防止され、記憶保持特性を向上させることができる。

【0030】本発明の不揮発性半導体記憶装置は、好適には、前記導電体層の上端は、前記制御電極の上端よりも高い位置にあることを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記第1絶縁膜は前記第2絶縁膜に比較して絶縁性が高い材料からなることを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記第1絶縁膜側壁は前記第2絶縁膜側壁に比較して絶縁性が高い材料からなることを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記層間絶縁膜は、前記第2絶縁膜および前記第2絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な材料からなることを特徴とする。

【0031】本発明の不揮発性半導体記憶装置は、好適には、前記電荷蓄積手段は、前記チャネル形成領域上に形成された酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された酸化シリコンを含有するトップ絶縁膜とからなる積層膜内に、離散化して形成された電荷トラップであることを特徴とする。本発明の不揮発性半導体記憶装置によれば、MONOS型不揮発性半導体メモリにおいて、制御電極とコンタクトホール内の配線との短絡が防止される。

【0032】本発明の不揮発性半導体記憶装置は、好適には、前記電荷蓄積手段は、前記チャネル形成領域上に形成され、酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたシリコン窒化膜とからなる積層膜内に、離散化して形成された電荷トラップであることを特徴とする。本発明の不揮発性半導体記憶装置によれば、MNOS型不揮発性半導体メモリにおいて、制御電極とコンタクトホール内の配線との短絡が防止される。

【0033】本発明の不揮発性半導体記憶装置は、好適には、前記電荷蓄積手段は、前記チャネル形成領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、電気的に浮遊状態である半導体層と、前記半導体層と前記制御電極との間に形成された中間絶縁膜とからなる積層膜内に、離散化して形成された電荷トラップであることを特徴とする。本発明の不揮発性半導体記憶装置によれば、フローティングゲート(FG)型不揮発性半導体メモリにおいて、制御電極(コントロールゲート)とコンタクトホール内の配線との短絡が防止される。

【0034】本発明の不揮発性半導体記憶装置は、さらに好適には、前記中間絶縁膜は酸化シリコンを含有することを特徴とする。あるいは、本発明の不揮発性半導体記憶装置は、好適には、前記中間絶縁膜は、酸化シリコンを含有するトンネル絶縁膜と、前記トンネル絶縁膜上

14

に形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された酸化シリコンを含有するトップ絶縁膜とからなる積層膜であることを特徴とする。

【0035】本発明の不揮発性半導体記憶装置は、好適には、前記第1絶縁膜は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記第1絶縁膜側壁は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記層間絶縁膜は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記第2絶縁膜は窒化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置は、好適には、前記第2絶縁膜側壁は窒化シリコンを含有することを特徴とする。

【0036】上記の目的を達成するため、本発明の不揮発性半導体記憶装置の製造方法は、半導体基板上に電荷蓄積手段を形成する工程と、前記電荷蓄積手段上に、前記電荷蓄積手段に対する電荷の注入または電荷の引き抜きを制御する複数の制御電極を形成する工程と、前記制御電極上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に第2絶縁膜を形成する工程と、前記制御電極、前記第1絶縁膜および前記第2絶縁膜の側面に第1絶縁膜側壁を形成する工程と、前記第1絶縁膜側壁をマスクとして前記半導体基板に不純物を導入し、自己整合的にソース領域およびドレイン領域を形成する工程と、隣接する前記制御電極間の少くとも一つに、前記ソースまたはドレイン領域に接続し、上端が前記第2絶縁膜の上端よりも低い位置にある導電体層を、前記第1絶縁膜側壁を介して形成する工程と、前記導電体層を有する前記制御電極間において、前記導電体層よりも高い位置にある前記第1絶縁膜側壁の表面に第2絶縁膜側壁を形成する工程と、前記第2絶縁膜および前記導電体層が形成されていない前記制御電極間に層間絶縁膜を形成する工程と、前記層間絶縁膜に達する孔を、前記層間絶縁膜に形成する工程と、前記孔内および前記層間絶縁膜上に、前記導電体層に接続する配線を形成する工程とを有することを特徴とする。

【0037】これにより、不揮発性半導体記憶装置の製造において、自己整合コンタクトホールを形成するエッチングの際に、制御電極および第1絶縁膜側壁が、第2絶縁膜、第2絶縁膜側壁および導電体層により保護される。したがって、コンタクトホール内に埋め込まれる配線と制御電極との絶縁性が十分に確保される。また、本発明の不揮発性半導体記憶装置の製造方法によれば、コンタクトホールが自己整合的に形成される。したがって、フォトリソグラフィ工程における合わせずれを考慮して、設計寸法に合わせ余裕を加える必要がない。これにより、不揮発性半導体記憶装置を微細化することが可能となる。

【0038】本発明の不揮発性半導体記憶装置の製造方

50

15

法は、好適には、前記導電体層を形成する工程は、隣接する前記制御電極間および前記第2絶縁膜上に導電体を堆積させる工程と、前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程と、前記導電体層形成領域以外の前記導電体をエッチングして除去する工程とを有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、さらに好適には、前記導電体を上端が前記第2絶縁膜の上端よりも低い位置となるまでエッチングする工程は、前記導電体を上端が前記制御電極の上端よりも高い位置となる範囲でエッチングする工程であることを特徴とする。

【0039】本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第2絶縁膜側壁を形成する工程は、前記第2絶縁膜上および前記第1絶縁膜側壁の表面に絶縁体を堆積させる工程と、前記第2絶縁膜上の前記絶縁体を除去する工程とを有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第1絶縁膜を形成する工程は、前記第2絶縁膜に比較して絶縁性が高い膜を形成する工程であることを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第1絶縁膜側壁を形成する工程は、前記第2絶縁膜側壁に比較して絶縁性が高い膜を形成する工程であることを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記層間絶縁膜を形成する工程は、前記第2絶縁膜および前記第2絶縁膜側壁に対するエッチング選択比を十分に大きくすることが可能な膜を形成する工程であることを特徴とする。

【0040】本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に酸化シリコンを含有するトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に酸化シリコンを含有するトップ絶縁膜を形成する工程とを有することを特徴とする。これにより、MONOS型不揮発性半導体記憶装置において、制御電極と自己整合コンタクト内の配線との短絡を防止することができる。

【0041】あるいは、本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に酸化シリコンを含有するトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜上にシリコン窒化膜を形成する工程とを有することを特徴とする。これにより、MNOS型不揮発性半導体記憶装置において、制御電極と自己整合コンタクト内の配線との短絡を防止することができる。

【0042】あるいは、本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記電荷蓄積手段を形成する工程は、前記チャネル形成領域上に形成されたゲート酸化膜を形成する工程と、前記ゲート酸化膜上に半導体

16

層を形成する工程と、前記半導体層と前記制御電極との間に中間絶縁膜を形成する工程とを有することを特徴とする。これにより、フローティングゲート（FG）型不揮発性半導体記憶装置において、制御電極と自己整合コンタクト内の配線との短絡を防止することができる。

【0043】本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第1絶縁膜は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第1絶縁膜側壁は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記層間絶縁膜は酸化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第2絶縁膜は窒化シリコンを含有することを特徴とする。本発明の不揮発性半導体記憶装置の製造方法は、好適には、前記第2絶縁膜側壁は窒化シリコンを含有することを特徴とする。

【0044】これにより、層間絶縁膜に自己整合的にコンタクトホールを形成するエッチング工程において、制御電極および酸化シリコンを含有する第1絶縁膜側壁が、窒化シリコンを含有する第2絶縁膜および第2絶縁膜側壁により保護される。したがって、第1絶縁膜側壁が過剰にエッチングされず、制御電極とコンタクトホール内部との短絡を防止することが可能となる。

【0045】

【発明の実施の形態】以下に、本発明の半導体装置、不揮発性半導体記憶装置および製造方法の実施の形態について、図面を参照して説明する。

（実施形態1）図1（a）は本実施形態の半導体装置の平面図であり、図1（b）は図1（a）のA-A'に対応する断面図である。また、図2（a）は図1（a）のB-B'に対応する断面図である。本実施形態の半導体装置は、図1（a）に示す構造がA-A'方向、あるいはB-B'方向に任意に繰り返して配列された構造を有する。

【0046】図1（a）に示すように、本実施形態の半導体装置には、例えばワード線となる複数のゲート電極8が平行に配置され、その上層に例えばビット線となる複数の配線17が、ゲート電極8の列と直交する方向に平行に配置されている。ゲート電極8の側面には第1のサイドウォール10および第2のサイドウォール14がそれぞれ形成されている。ゲート電極間のコンタクトホール16が形成される箇所には、導電体層（ポリシリコン層）12が形成されている。図1（a）の活性（アクティブ）領域18は、素子分離領域2（図1（b）参照）により相互に隔てられた領域であり、ウェル3やソース/ドレイン領域11が形成されている。

【0047】図2（a）に示すように、ポリシリコン層12は、コンタクトホール16を形成する箇所のゲート電極間に、第1のサイドウォール10を介して形成され

50

17

ている。ポリシリコン層12はソース/ドレイン領域11および配線17にそれぞれ接続し、ポリシリコン層12の上端は第2絶縁膜(エッチングストッパー層)7の上端よりも低い位置となっている。ポリシリコン層12を有するゲート電極間においては、ポリシリコン層12よりも高い位置にある第1のサイドウォール10の表面に、第2のサイドウォール14が形成されている。一方、コンタクトホール16が形成されないゲート電極間においては、ゲート電極8、第1絶縁膜(酸化膜)6およびエッチングストッパー層7の側面に、第1のサイドウォール10および第2のサイドウォール14が積層されて形成されている。

【0048】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図2(b)に示すように、シリコン(半導体)基板1に例えばLOCOS法により、酸化シリコンからなる素子分離絶縁膜2を形成する。続いて、図2(c)に示すように、素子分離絶縁膜2によって分離された活性領域に、ウェル3を形成するため、あるいはトランジスタの閾値調整のためのイオン注入を行う。イオン注入は、フォトリソグラフィ工程により形成されたレジスト(不図示)をマスクとして行う。次に、図3(a)に示すように、例えば熱酸化法により、素子分離絶縁膜2で分離された上記の活性領域に、酸化シリコンからなるゲート絶縁膜4を膜厚2〜10nm程度で形成する。

【0049】次に、図3(b)に示すように、例えばCVD法によりゲート層5となるポリシリコン層を膜厚100nm程度で形成する。ゲート層5としてはポリシリコン層を形成する以外に、ポリシリコン層にタングステンシリサイド層を積層させたポリサイド構造としてもよい。ゲート層5の上層に、絶縁膜として例えば膜厚100nm程度のシリコン酸化膜6をCVD法などにより形成する。その上層に、自己整合コンタクト形成時のエッチングストッパー層7として例えば膜厚100nm程度のシリコン窒化膜を、CVD法などにより形成する。

【0050】続いて、フォトリソグラフィ工程によりエッチングストッパー層7の上層に、ゲート電極パターンを有するレジスト(不図示)を形成する。レジストをマスクとしてエッチングストッパー層7、シリコン酸化膜6およびゲート層5に例えば反応性イオンエッチング(RIE)を行い、ゲート電極8を形成する。その後、レジストを除去する。さらに、ゲート電極8をマスクとしてイオン注入を行い、LDD領域9を形成する。このイオン注入工程において、LDD領域9を形成しない箇所、例えば素子分離絶縁膜2の上端には適宜レジストを形成しておく。

【0051】次に、図3(c)に示すように、ゲート電極8の側面に例えばシリコン酸化膜からなる第1のサイドウォール10を形成する。サイドウォール10を形成するには、まず、エッチングストッパー層7の上部と、

18

エッチングストッパー層7、酸化膜6およびゲート電極8の側面とを被覆する酸化膜を、例えばCVD法により膜厚100nm程度堆積させる。その後、エッチバックによりゲート電極8の側面のみ残して酸化膜を除去する。さらに、第1のサイドウォール10をマスクとしてイオン注入を行い、LDD領域9よりも高濃度の不純物を含有するソース/ドレイン領域11を自己整合的に形成する。

【0052】次に、図3(d)に示すように、第2の導電体層として、例えば膜厚400nm程度のポリシリコン層12をCVD法などにより堆積させる。ポリシリコン層12はゲート電極8の間を埋め込むようにして全面に堆積させる。ゲート電極間に第1のサイドウォール10が形成されていることにより、ゲート電極の間隔が狭い箇所にもポリシリコン層12が容易に埋め込まれる。

【0053】続いて、図4(a)に示すように、ポリシリコン層12の上端がエッチングストッパー層7の上端よりも低い位置となるまでエッチバックを行う。これにより、ゲート電極8上のポリシリコン層12が除去され、ゲート電極間のポリシリコン層12のみ残る。このエッチングは好適には、ポリシリコン層12の上端がゲート電極8の上端よりも高い位置となる範囲で行う。ポリシリコン層12の上端がゲート電極8の上端よりも低い位置となった場合、続く工程で層間絶縁膜15にコンタクトホール16を形成する工程で、サイドウォール10、14あるいはゲート電極8上の絶縁膜6、7がエッチングされるおそれがある。その場合、コンタクトホール16内の配線17とゲート電極8とが短絡することになる。このような短絡を防止するため、ポリシリコン層12はゲート電極8の膜厚よりも厚く、例えば膜厚150nm程度残るようにエッチバックを行う。

【0054】次に、図4(b)に示すように、フォトリソグラフィ工程により、ソース/ドレイン領域11と配線17とのコンタクトを形成する箇所のポリシリコン層12上にレジスト13を形成する。続いて、図4(c)に示すように、レジスト13をマスクとしてエッチングを行い、コンタクトを形成しない箇所のポリシリコン層12を除去する。その後、レジスト13を除去する。

【0055】次に、図5(a)に示すように、シリコン酸化膜からなる第1のサイドウォール10の表面に、シリコン酸化膜に対してエッチング選択比を十分に小さくすることができる材料、例えばシリコン窒化膜を用いて第2のサイドウォール14を形成する。第2のサイドウォール14を形成するには、全面に例えば膜厚100nm程度のシリコン窒化膜を、CVD法などにより堆積させてからエッチバックを行う。これにより、ポリシリコン層12の上端にも第2のサイドウォール14が形成される。

【0056】次に、図5(b)に示すように、層間絶縁膜15として例えばシリコン酸化膜をCVD法により膜

50

厚600nm程度堆積させる。続いて、図5(c)に示すように、フォトリソグラフィ工程によりコンタクトホール形成領域に開口を有するレジスト(不図示)を形成してから、レジストをマスクとして層間絶縁膜15にエッチングを行う。

【0057】このエッチングは、酸化膜に対して酸化膜のエッチング選択比が10〜100程度となる条件で行う。これにより、コンタクト形成部分のエッチングストップ層7および第2のサイドウォール14表面でエッチングが停止し、コンタクトホール16が自己整合的に形成される。コンタクトホール16の形成が自己整合的に行われるため、フォトリソグラフィ工程においてレジストの合わせずれを考慮する必要がなく、素子を微細化することができる。このエッチングにより、ポリシリコン層12はコンタクトホール16内に露出する。その後、図2(a)に示すように、配線となる金属層をスパッタ法などにより成膜してから、金属層にエッチングを行って配線17を形成する。以上の工程により、所望の半導体装置が得られる。

【0058】上記の本発明の実施形態の半導体装置およびその製造方法によれば、層間絶縁膜15にエッチングを行いコンタクトホール16を形成する際に、ゲート電極8の側面のサイドウォール10がエッチングされず、ゲート電極8と配線17あるいはポリシリコン層12との短絡が防止される。

【0059】(実施形態2)図6は本実施形態の不揮発性半導体記憶装置の断面図である。本実施形態の不揮発性半導体記憶装置は、電荷蓄積手段としてシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の多層絶縁膜(ONO膜)を用いたMONOS型不揮発性半導体記憶装置である。図6に示すように、電荷蓄積手段以外の部分は、実施形態1の半導体装置の構造と共通する。シリコン基板1の表面に素子分離領域2が形成され、素子分離領域2により相互に隔てられた活性領域にウェル3が形成されている。

【0060】シリコン基板1上に電荷蓄積手段として熱酸化膜21、シリコン窒化膜22およびシリコン酸化膜23からなるONO膜が形成され、その上層にゲート電極8が形成されている。ゲート電極8上には第1絶縁膜として、絶縁性に優れた酸化膜6が形成され、その上層に、シリコン窒化膜からなる第2絶縁膜(エッチングストップ層)7が形成されている。ゲート電極8の側面には第1のサイドウォール10および第2のサイドウォール14がそれぞれ形成されている。導電体層(ポリシリコン層)12は、コンタクトホール16を形成する箇所のゲート電極間、第1のサイドウォール10を介して形成されている。

【0061】ポリシリコン層12はソース/ドレイン領域11および配線17にそれぞれ接続し、ポリシリコン層12の上端は第2絶縁膜(エッチングストップ層)

7の上端よりも低い位置となっている。ポリシリコン層12を有するゲート電極間においては、ポリシリコン層12よりも高い位置にある第1のサイドウォール10の表面に、第2のサイドウォール14が形成されている。一方、コンタクトホール16が形成されないゲート電極間においては、ゲート電極8、第1絶縁膜(酸化膜)6およびエッチングストップ層7の側面に、第1のサイドウォール10および第2のサイドウォール14が積層されて形成されている。

【0062】本実施形態の不揮発性半導体記憶装置を形成するには、上記の実施形態1の半導体装置の製造方法において、ゲート絶縁膜4を形成する工程をONO多層絶縁膜を形成する工程に変更する。ONO多層絶縁膜の各層の膜厚は特に限定されないが、例えば、1層目(下層)の熱酸化膜21を膜厚1〜4nm、2層目(中間層)のシリコン窒化膜22を膜厚2〜10nm、3層目(上層)のシリコン酸化膜23を膜厚2〜4nm程度とする。シリコン酸化膜22およびシリコン酸化膜23は、それぞれ例えばCVD法により形成することができる。

【0063】本実施形態の不揮発性半導体記憶装置によれば、コンタクトホール16が形成されるゲート電極間において、制御電極(コントロールゲート)8よりも高い位置では、シリコン窒化膜からなる第2のサイドウォール14がエッチングストップとして機能する。また、ゲート層5の側面とコンタクトホール16内の配線17との間には、絶縁特性に優れた酸化膜からなる第1のサイドウォール10が形成されている。したがって、自己整合コンタクトホール16においてゲート電極8と配線17との短絡が防止される。

【0064】(実施形態3)図7は本実施形態の不揮発性半導体記憶装置の断面図である。本実施形態の不揮発性半導体記憶装置は、電荷蓄積手段としてシリコン酸化膜およびシリコン窒化膜からなる絶縁膜(ONO膜)を用いたMNOS型不揮発性半導体記憶装置である。図7に示すように、電荷蓄積手段以外の部分は、実施形態1の半導体装置の構造と共通する。シリコン基板1の表面に素子分離領域2が形成され、素子分離領域2により相互に隔てられた活性領域にウェル3が形成されている。

【0065】シリコン基板1上に電荷蓄積手段として熱酸化膜21およびシリコン窒化膜からなるONO膜が形成され、その上層にゲート電極8が形成されている。ゲート電極8上には第1絶縁膜として、絶縁性に優れた酸化膜6が形成され、その上層に、シリコン窒化膜からなる第2絶縁膜(エッチングストップ層)7が形成されている。ゲート電極8の側面には第1のサイドウォール10および第2のサイドウォール14がそれぞれ形成されている。導電体層(ポリシリコン層)12は、コンタクトホール16を形成する箇所のゲート電極間、第1のサイドウォール10を介して形成されている。

21

【0066】ポリシリコン層12はソース/ドレイン領域11および配線17にそれぞれ接続し、ポリシリコン層12の上端は第2絶縁膜（エッチングストッパー層）7の上端よりも低い位置となっている。ポリシリコン層12を有するゲート電極間においては、ポリシリコン層12よりも高い位置にある第1のサイドウォール10の表面に、第2のサイドウォール14が形成されている。一方、コンタクトホール16が形成されないゲート電極間においては、ゲート電極8、第1絶縁膜（酸化膜）6およびエッチングストッパー層7の側面に、第1のサイドウォール10および第2のサイドウォール14が積層されて形成されている。

【0067】本実施形態の不揮発性半導体記憶装置を形成するには、上記の実施形態1の半導体装置の製造方法において、ゲート絶縁膜4を形成する工程をON膜を形成する工程に変換する。ON膜の各層の膜厚は特に限定されないが、例えば、1層目（下層）の熱酸化膜21を膜厚1〜4nm、2層目（上層）のシリコン窒化膜22を膜厚2〜10nm程度とする。シリコン窒化膜22は例えばCVD法により形成することができ、

【0068】本実施形態の不揮発性半導体記憶装置によれば、コンタクトホール16が形成されるゲート電極間において、制御電極（コントロールゲート）8よりも高い位置では、シリコン窒化膜からなる第2のサイドウォール14がエッチングストッパーとして機能する。また、ゲート層5の側面とコンタクトホール16内の配線17との間には、絶縁特性に優れた酸化膜からなる第1のサイドウォール10が形成されている。したがって、自己整合コンタクトホール16においてゲート電極8と配線17との短絡が防止される。

【0069】（実施形態4）図8は本実施形態の不揮発性半導体記憶装置の断面図である。本実施形態の不揮発性半導体記憶装置は、ゲート絶縁膜4とコントロールゲート8との間に、電荷蓄積手段としてフローティングゲート8'および中間絶縁膜4'が形成されているフローティングゲート（FG）型不揮発性半導体記憶装置である。電荷蓄積手段以外の部分は、実施形態1の半導体装置の構造と共通する。シリコン基板1の表面に素子分離領域2が形成され、素子分離領域2により相互に隔てられた活性領域にウェル3が形成されている。

【0070】シリコン基板1上に電荷蓄積手段としてゲート酸化膜4、フローティングゲート8'および中間絶縁膜4'が形成され、その上層にコントロールゲート8が形成されている。コントロールゲート8上には第1絶縁膜として、絶縁性に優れた酸化膜6が形成され、その上層に、シリコン窒化膜からなる第2絶縁膜（エッチングストッパー層）7が形成されている。コントロールゲート8の側面には第1のサイドウォール10および第2のサイドウォール14がそれぞれ形成されている。導電体層（ポリシリコン層）12は、コンタクトホール16

22

を形成する箇所のゲート電極間に、第1のサイドウォール10を介して形成されている。

【0071】ポリシリコン層12はソース/ドレイン領域11および配線17にそれぞれ接続し、ポリシリコン層12の上端は第2絶縁膜（エッチングストッパー層）7の上端よりも低い位置となっている。ポリシリコン層12を有するゲート電極間においては、ポリシリコン層12よりも高い位置にある第1のサイドウォール10の表面に、第2のサイドウォール14が形成されている。一方、コンタクトホール16が形成されないゲート電極間においては、コントロールゲート8、第1絶縁膜（酸化膜）6およびエッチングストッパー層7の側面に、第1のサイドウォール10および第2のサイドウォール14が積層されて形成されている。

【0072】本実施形態の不揮発性半導体記憶装置を形成するには、上記の実施形態1の半導体装置の製造方法において、ゲート絶縁膜4として例えば熱酸化膜を形成した後、フローティングゲート8'となる電極材料、例えばポリシリコン層をCVD法により堆積させる。その上層に、中間絶縁膜4'として酸化膜あるいはONO膜などを形成する。その後、コントロールゲート8を形成する以降の工程は、上記の実施形態1の方法に従って行う。

【0073】本実施形態の不揮発性半導体記憶装置によれば、コンタクトホール16が形成されるゲート電極間において、制御電極（コントロールゲート）8よりも高い位置では、シリコン窒化膜からなる第2のサイドウォール14がエッチングストッパーとして機能する。また、ゲート層5の側面とコンタクトホール16内の配線17との間には、絶縁特性に優れた酸化膜からなる第1のサイドウォール10が形成されている。したがって、自己整合コンタクトホール16においてゲート電極8と配線17との短絡が防止される。

【0074】本発明の半導体装置、不揮発性半導体記憶装置および製造方法の実施形態は、上記の説明に限定されない。例えば、本発明の不揮発性半導体記憶装置は、絶縁膜中に分散されたポリシリコン粒子を電荷蓄積手段として用いたナノクリスタル型不揮発性半導体記憶装置であってもよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0075】

【発明の効果】本発明の半導体装置によれば、自己整合コンタクトのコンタクト不良や、自己整合コンタクトに埋め込まれた配線とゲート電極との短絡を防止することが可能となる。本発明の半導体装置の製造方法によれば、自己整合コンタクトにおけるコンタクト不良あるいは短絡が防止された半導体装置を製造することが可能となる。

【0076】また、本発明の不揮発性半導体記憶装置によれば、自己整合コンタクトにおけるコンタクト不良や

50

短絡が防止され、不揮発性半導体記憶装置記憶保持特性が向上する。また、本発明の不揮発性半導体記憶装置の製造方法によれば、自己整合コンタクトにおけるコンタクト不良あるいは短絡が防止され、記憶保持特性が向上された不揮発性半導体記憶装置を製造することが可能となる。

【図面の簡単な説明】

【図 1】(a) は本発明の実施形態 1 に係る半導体装置の平面図であり、(b) は (a) の A-A' に対応する断面図である。

【図 2】(a) は本発明の実施形態 1 に係る半導体装置の断面図であり、図 1 (a) の B-B' に対応する。

(b) および (c) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 3】(a) ～ (d) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 4】(a) ～ (c) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 5】(a) ～ (c) は本発明の実施形態 1 に係る半導体装置の製造方法の製造工程を示す断面図である。

【図 6】本発明の実施形態 2 に係る MONOS 型不揮発性半導体記憶装置の断面図である。

*

* 【図 7】本発明の実施形態 3 に係る MNOS 型不揮発性半導体記憶装置の断面図である。

【図 8】本発明の実施形態 4 に係るフローティングゲート型不揮発性半導体記憶装置の断面図である。

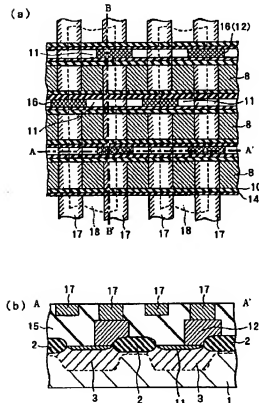
【図 9】(a) ～ (d) は従来の半導体装置の製造方法の製造工程を示す断面図である。

【図 10】(a) ～ (d) は従来の半導体装置の製造方法の製造工程を示す断面図である。

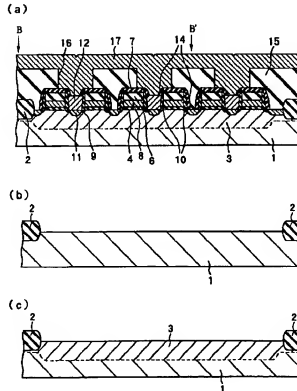
【符号の説明】

- 10 1、101…シリコン（半導体）基板、2、102…素子分離絶縁膜、3、103…ウェル、4、104…ゲート絶縁膜、4'…中間絶縁膜、5、105…ゲート層、6…酸化膜、7、106…エッチングストッパー層、8、107…ゲート電極、8'…フローティングゲート、9、108…LDD領域、10…第 1 のサイドウォール、11、110…ソース/ドレイン領域、12…ポリシリコン層、13…レジスト、14…第 2 のサイドウォール、15、111…層間絶縁膜、16、112…コンタクトホール、17…配線、18…活性領域、21…熱酸化膜、22…シリコン窒化膜、23…シリコン酸化膜、109…サイドウォール。

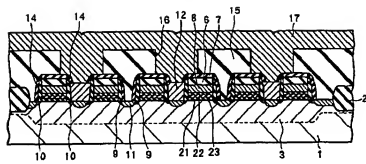
【図 1】



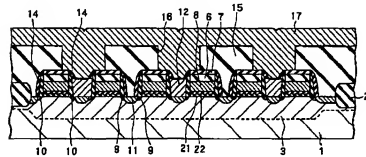
【図 2】



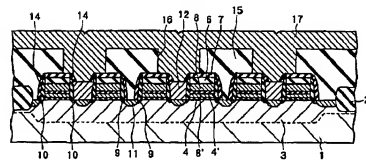
【図6】



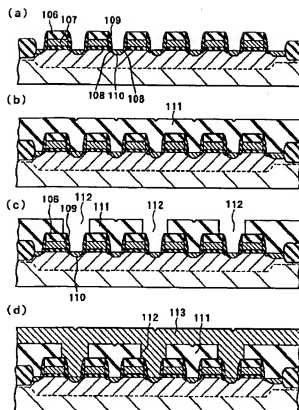
【図7】



【図8】



【図10】



フロントページの続き

Fターム(参考) 5F001 AA14 AA19 AA25 AA43 AA63
 AB08 AD12 AD17 AD51 AD52
 AF06 AF25 AG02 AG03 AG07
 5F033 HH04 JJ04 KK01 NN03 PP06
 RR04 XX31
 5F083 EP02 EP09 EP18 EP23 EP55
 EP63 EP68 GA09 GA30 JA04
 LA12 LA16 MA03 MA06 MA20
 NA02 PR29